



Attorney's Docket No. 5649-236

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Dong-Soo Chang  
Application No.: 10/776,016  
Filed: February 10, 2004

Confirmation No.: 9073  
Group Art Unit: 2812

For: METHODS FOR FABRICATING METAL-OXIDE-SEMICONDUCTOR FIELD  
EFFECT TRANSISTORS USING GATE SIDEWALL SPACERS

June 14, 2004

Mail Stop Missing Parts  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 2003-0008570, filed February 11, 2004.

Respectfully submitted,

Mitchell S. Bigel  
Registration No. 29,614

**Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401

**Certificate of Mailing under 37 CFR 1.8**

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop Missing Parts, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on June 14, 2004.

Susan E. Freedman  
Date of Signature: June 14, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0008570  
Application Number

출원 년 월 일 : 2003년 02월 11일  
Date of Application FEB 11, 2003

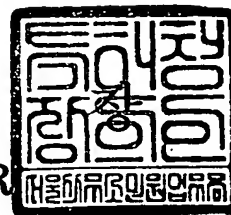
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    11    월    04    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.11
【발명의 명칭】	모오스 전계 효과 트랜지스터의 제조 방법
【발명의 영문명칭】	Method Of Fabricating Metal-Oxide-Semiconductor Field Effect Transistor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	장동수
【성명의 영문표기】	CHANG, DONG-SOO
【주민등록번호】	670316-1010618
【우편번호】	440-300
【주소】	경기도 수원시 장안구 정자동 현대아파트 102동 406호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원



1020030008570

출력 일자: 2003/11/11

【우선권주장료】	0	건	0	원
【심사청구료】	30	항	1,069,000	원
【합계】	1,116,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

모오스 전계 효과 트랜지스터의 제조 방법을 제공한다. 이 방법은 제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 게이트 패턴들을 형성한 후, 게이트 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계를 포함한다. 이후, 제 1 영역의 반도체기판에 제 1 불순물 영역을 형성하고, 제 1 영역에서 노출되는 게이트 스페이서를 제거한 후, 제 1 영역의 반도체기판에 제 2 불순물 영역을 형성한다. 이어서, 제 2 영역의 반도체기판에 제 3 불순물 영역을 형성하고, 제 2 영역에서 노출되는 게이트 스페이서를 제거한 후, 제 2 영역의 반도체기판에 제 4 불순물 영역을 형성한다. 제 1 및 제 3 불순물 영역은 각각 제 2 및 제 4 불순물 영역보다 깊게 형성한다.

**【대표도】**

도 11

**【명세서】****【발명의 명칭】**

모오스 전계 효과 트랜지스터의 제조 방법{Method Of Fabricating Metal-Oxide-Semiconductor Field Effect Transistor}

**【도면의 간단한 설명】**

도 1 내지 도 7은 종래 기술에 따른 모오스 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 공정단면도들이다.

도 8 내지 도 14는 본 발명의 일 실시예에 따른 모오스 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 공정단면도들이다.

도 15는 본 발명의 다른 실시예에 따른 모오스 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 공정단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 특히 모오스 전계 효과 트랜지스터의 제조 방법에 관한 것이다.

<5> 동작 방식이 간단하고 집적도가 높다는 장점때문에, 다양한 반도체 장치들이 모오스 전계 효과 트랜지스터(MOSFET, metal-oxide-semiconductor field effect transistor)를 사용한다. 초창기의 모오스 트랜지스터는 산화막 내의 고정 전하(fixed charge)에 의해 유발되는 공정 불안정 등의 문제점을 가졌다. 이에 따라, 초기 모오스 트랜지스터들의 대부분은 다수

전하 전송자(majority carrier)가 정공(hole)인 P형 모오스 전계 효과 트랜지스터(P-type MOSFET)였다. 하지만, 전자 산업의 발전에 따라, 반도체 장치의 속도가 중요한 특성으로 부각되었지만, 상기 P형 모오스 팹트는 이러한 특성을 충족시키지 못하였다. 이에 따라, 정공(hole)에 비해 이동도(mobility)가 큰 전자를 다수 전하 전송자로 갖는 N형 모오스 팹트가 상기 P형 모오스 팹트를 대체하였다. 이후, 전자 장치의 소형화/휴대화에 따라, 현재 생산되는 대부분의 반도체 장치들은 N형 모오스 팹트와 P형 모오스 팹트를 동시에 구비함으로써, 소비 전력을 줄일 수 있는 상보형 모오스 팹트(complementary MOSFET, CMOSFET)을 사용한다.

- <6> 도 1 내지 도 7은 LDD 구조의 소오스/드레인 영역을 갖는 CMOSFET의 통상적인 제조 방법을 설명하기 위한 공정단면도들이다.
- <7> 도 1 내지 도 3을 참조하면, 제 1 영역 및 제 2 영역을 구비하는 반도체기판(10)에 활성 영역을 한정하는 소자분리막(15)을 형성한다. 상기 활성영역 상에 게이트 절연막 및 게이트 도전막을 차례로 형성한 후, 이들을 차례로 패터닝한다. 이에 따라, 차례로 적층되어 상기 제 1 영역 및 제 2 영역을 지나는 게이트 절연막 패턴(20) 및 게이트 도전막 패턴(25)이 형성된다. 상기 게이트 절연막 패턴(20) 및 게이트 도전막 패턴(25)은 게이트 패턴을 구성한다.
- <8> 이후, 상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 1 마스크(30)를 형성한다. 이어서, 상기 제 1 마스크(30) 및 상기 제 1 영역에서 노출되는 게이트 패턴을 이온 주입 마스크로 사용하는 제 1 저농도 이온 주입 공정(a first low-concentration implantation, 31)을 실시한다. 이에 따라, 상기 제 1 영역의 상기 게이트 패턴 주위의 활성영역에는 제 1 저농도 불순물 영역(a first lightly doped region, 35)이 형성된다.
- <9> 상기 제 1 마스크(30)를 제거한 후, 상기 제 2 영역을 노출시키면서 상기 제 1 영역을 덮는 제 2 마스크(40)를 형성한다. 이어서, 상기 제 2 마스크(40) 및 상기 제 2 영역에서 노출

되는 게이트 패턴을 이온 주입 마스크로 사용하는 제 2 저농도 이온 주입 공정(a second low-concentration implantation, 41)을 실시한다. 이에 따라, 상기 제 2 영역의 상기 게이트 패턴 주위의 활성영역에는 제 2 저농도 불순물 영역(a second lightly doped region, 45)이 형성된다.

<10> 도 4 내지 도 7을 참조하면, 상기 제 2 마스크(40)를 제거한 후, 상기 게이트 패턴의 양 측벽에 게이트 스페이서(50)를 형성한다. 상기 게이트 스페이서(50)는 후속 이온 주입 공정들에서 주입되는 고농도의 불순물들이 과도하게 확산됨으로써 유발되는 쇼트 채널 효과(short channel effect)를 예방한다. 상기 쇼트 채널 효과에는 펀치쓰루 현상 또는 핫 캐리어 효과 등이 있으며, 이는 반도체 장치의 고집적화를 가로막는 가장 큰 어려움 중의 한가지이다.

<11> 상기 게이트 스페이서(50)를 포함하는 반도체기판 상에, 상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 3 마스크(60)를 형성한다. 상기 제 3 마스크(60), 상기 제 1 영역에서 노출된 게이트 패턴 및 게이트 스페이서(50)를 이온 주입 마스크로 사용하는 제 1 고농도 이온 주입 공정(61)을 실시한다. 이에 따라, 상기 제 1 영역의 상기 게이트 스페이서(50) 주위의 활성영역에는 제 1 고농도 불순물 영역(a first heavily doped region, 65)이 형성된다.

<12> 상기 제 3 마스크(60)를 제거한 후, 상기 제 2 영역을 노출시키면서 상기 제 1 영역을 덮는 제 4 마스크(70)를 형성한다. 이후, 상기 제 4 마스크(70), 상기 제 2 영역에서 노출되는 게이트 패턴 및 게이트 스페이서(50)를 이온 주입 마스크로 사용하는 제 2 고농도 이온 주입 공정(71)을 실시한다. 이에 따라, 상기 제 2 영역의 상기 게이트 스페이서(50) 주위의 활성영역에는 제 2 고농도 불순물 영역(a second heavily doped region, 75)이 형성된다. 이후, 상기 제 4 마스크(70)를 제거한다.



<13> 상술한 방법에서, 상기 마스크들(30, 40, 60, 70)은 대부분 상대적으로 비용이 많이 드는, 사진 공정을 통해 형성된다. 따라서, 반도체 제품의 가격을 낮추기 위해서는 사진 공정의 수를 줄이는 것이 바람직하다. 하지만, 상술한 것처럼 현재까지는, 쇼트 채널 효과를 최소화할 수 있는 구조(예를 들면, LDD구조)로 CMOSFET를 제조하기 위해서는 적어도 4 단계의 사진 단계를 포함한다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자하는 다른 기술적 과제는 제조 비용을 낮출 수 있는 CMOSFET의 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<15> 상기 기술적 과제들을 달성하기 위하여, 본 발명은 한개의 포토레지스트 패턴을 사용하여 고농도 불순물 영역 및 저농도 불순물 영역을 모두 형성하는 단계를 포함하는 CMOSFET의 제조 방법을 제공한다. 이 방법은 제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 상기 제 1 및 제 2 영역을 지나는 복수개의 게이트 패턴들을 형성한 후, 상기 게이트 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계를 포함한다. 이어, 상기 제 1 영역의 반도체기판에서, 제 1 도전형의 제 1 불순물 영역을 형성하고, 상기 게이트 스페이서를 제거한 후, 상기 제 1 불순물 영역보다 얇은 깊이이면서 상기 제 1 불순물 영역과 같은 도전형의 제 2 불순물 영역을 형성한다. 이후, 상기 제 2 영역의 반도체기판에서, 제 2 도전형의 제 3 불순물 영역을 형성하고, 상기 게이트 스페이서를 제거한 후, 상기 제 3 불순물 영역보다 얇은 깊이이면서 상기 제 3 불순물 영역과 같은 도전형의 제 4 불순물 영역을 형성한다.



- <16> 본 발명의 일 실시예에 따르면, 상기 제 1 불순물 영역은 상기 제 2 불순물 영역보다 높은 농도의 불순물을 포함하고, 상기 제 3 불순물 영역은 상기 제 4 불순물 영역보다 높은 농도의 불순물을 포함한다. 또는, 상기 제 1 불순물 영역은 상기 제 2 불순물 영역보다 높은 농도의 불순물을 포함하되, 상기 제 4 불순물 영역은 상기 제 3 불순물 영역과 같은 농도의 불순물을 포함할 수도 있다.
- <17> 바람직하게는, 상기 제 1 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성되고, 상기 제 2 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성된다. 또한, 상기 제 3 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성되고, 상기 제 4 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성되는 것이 바람직하다.
- <18> 상기 게이트 스페이서는 실리콘 질화물, 실리콘 산화질화물, 실리콘 산화막, 실리콘 탄화물 및 실리콘막 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 제 1 영역 및 제 2 영역에서 상기 게이트 스페이서를 제거하는 단계는 등방성 식각의 방법으로 실시하는 것이 바람직하다.
- <19> 한편, 상기 제 3 불순물 영역을 형성하기 전 및 상기 제 4 불순물 영역을 형성한 후에, 각각 제 1 헤일로 이온 주입 공정 및 제 2 헤일로 이온 주입 공정을 실시하여 제 1 헤일로 영역 및 제 2 헤일로 영역을 형성하는 단계를 더 실시할 수 있다. 이때, 상기 제 1 헤일로 영역은 상기 제 2 불순물 영역의 아래에서 상기 제 1 불순물 영역의 하부 측방을 덮도록 형성되고,

상기 제 2 헤일로 영역은 상기 제 4 불순물 영역의 아래에서 상기 제 3 불순물 영역의 하부 측방을 덮도록 형성된다.

<20>       상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따르면, 제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 상기 제 1 및 제 2 영역을 지나는 복수개의 게이트 패턴들을 형성하고, 상기 게이트 패턴들의 양측벽에 게이트 스페이서를 형성한 후, 상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 1 마스크를 형성하는 단계를 포함한다. 이어, 상기 제 1 영역의 반도체기판에, 제 1 도전형의 제 1 고농도 불순물 영역을 형성하고, 상기 게이트 스페이서를 제거하고, 상기 제 1 도전형의 제 1 저농도 불순물 영역을 형성한 후, 상기 제 1 마스크를 제거한다. 이후, 상기 제 2 영역을 노출시키면서 상기 제 2 영역을 덮는 제 2 마스크를 형성한 후, 상기 제 2 영역의 반도체기판에, 제 2 도전형의 제 2 고농도 불순물 영역을 형성하고, 상기 게이트 스페이서를 제거하고, 상기 제 2 도전형의 제 2 저농도 불순물 영역을 형성한 후, 상기 제 2 마스크를 제거한다.

<21>       이 실시예에 있어서, 상기 제 1 도전형은 N형이고, 상기 제 2 도전형은 P형이다. 또한, 상기 제 1 고농도 불순물 영역을 형성하는 단계는 상기 제 1 마스크 및 상기 제 1 영역의 게이트 패턴 및 게이트 스페이서를 이온 주입 마스크로 사용하는 이온 주입 공정을 포함하고, 상기 제 1 저농도 불순물 영역을 형성하는 단계는 상기 제 1 마스크 및 상기 제 1 영역의 게이트 패턴을 이온 주입 마스크로 사용하는 이온 주입 공정을 포함할 수 있다. 마찬가지로, 상기 제 2 고농도 불순물 영역을 형성하는 단계는 상기 제 2 마스크 및 상기 제 2 영역의 게이트 패턴 및 게이트 스페이서를 이온 주입 마스크로 사용하는 이온 주입 공정을 포함하고, 상기 제 2 저농도 불순물 영역을 형성하는 단계는 상기 제 2 마스크 및 상기 제 2 영역의 게이트 패턴을 이온 주입 마스크로 사용하는 이온 주입 공정을 포함할 수 있다.



- <22> 바람직하게는, 상기 제 1 및 제 2 저농도 불순물 영역은 각각 상기 제 1 및 제 2 고농도 불순물 영역보다 얇은 깊이로 형성한다. 또한, 상기 게이트 스페이서는 실리콘 질화물, 실리콘 산화질화물, 실리콘 산화막, 실리콘 탄화물 및 실리콘막 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 상기 제 1 및 제 2 마스크는 사진 공정을 통해 형성된 포토레지스트 패턴들인 것이 바람직하다.
- <23> 한편, 상기 제 1 및 제 2 마스크를 제거하기 전에, 각각 제 1 및 제 2 헤일로 이온 주입 공정을 실시하여 제 1 및 제 2 헤일로 영역을 형성하는 단계를 더 포함할 수 있다. 상기 제 1 헤일로 이온 주입 공정은 상기 제 1 마스크 및 상기 제 1 영역의 게이트 패턴을 이온 주입 마스크로 사용하고, 상기 제 2 헤일로 이온 주입 공정은 상기 제 2 마스크 및 상기 제 2 영역의 게이트 패턴을 이온 주입 마스크로 사용하는 것이 바람직하다. 이에 따라 형성되는 상기 제 1 헤일로 영역은 상기 제 1 저농도 불순물 영역의 아래에서 상기 제 1 고농도 불순물 영역의 하부 측방을 덮고, 상기 제 2 헤일로 영역은 상기 제 2 저농도 불순물 영역의 아래에서 상기 제 2 고농도 불순물 영역의 하부 측방을 덮는다. 바람직하게는, 상기 제 1 헤일로 이온 주입 공정은 상기 제 2 도전형의 불순물을 사용하고, 상기 제 2 헤일로 이온 주입 공정은 상기 제 1 도전형의 불순물을 사용한다.
- <24> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 실시예에 따르면, 제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 상기 제 1 및 제 2 영역을 지나는 복수개의 게이트 패턴들을 형성한 후, 상기 게이트 패턴들의 양측벽에 게이트 스페이서를 형성하고, 상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 1 마스크를 형성하는 단계를 포함한다. 이어, 상기 제 1 영역의 반도체기판에서, 제 1 도전형의 제 1 고농도 불순물 영역을 형성하고, 상기 게이트 스페이서를 제거하고, 상기 제 1 도전형의 제 2 저농도 불순물 영역을 형성한 후, 상기 제

1 마스크를 제거한다. 이후, 상기 제 2 영역을 노출시키면서 상기 제 1 영역을 덮는 제 2 마스크를 형성하고, 상기 제 2 영역의 반도체기판에서, 제 2 도전형의 제 3 고농도 불순물 영역을 형성하고, 상기 게이트 스페이서를 제거하고, 상기 제 2 도전형의 제 4 고농도 불순물 영역을 형성한 후, 상기 제 2 마스크를 제거한다.

<25> 이 실시예에 있어서, 상기 제 1 도전형은 N형이고, 상기 제 2 도전형은 P형이다. 또한, 상기 제 1 고농도 불순물 영역 및 상기 제 3 고농도 불순물 영역은 각각 상기 제 2 저농도 불순물 영역 및 상기 제 4 고농도 불순물 영역보다 깊게 형성한다. 이때, 상기 제 3 고농도 불순물 영역과 상기 제 4 고농도 불순물 영역의 불순물 농도는 동일한 것이 바람직하다.

<26> 본 발명의 일 실시예에 따르면, 상기 제 1 고농도 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성되고, 상기 제 2 저농도 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성되고, 상기 제 3 고농도 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성되고, 상기 제 4 고농도 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성될 수 있다.

<27> 또한, 상기 제 3 고농도 불순물 영역을 형성하기 전 및 상기 제 4 고농도 불순물 영역을 형성한 후, 각각 제 1 및 제 2 헤일로 이온 주입 공정을 실시하여 제 1 및 제 2 헤일로 영역을 형성하는 단계를 더 실시할 수 있다. 이때, 상기 제 1 및 제 2 헤일로 이온 주입 공정은 각각 상기 제 1 및 제 2 영역의 게이트 패턴을 이온 주입 마스크로 사용하여 실시된다. 또한, 상기 제 1 헤일로 영역은 상기 제 2 저농도 불순물 영역의 아래에서 상기 제 1 고농도 불순물 영역의 하부 측방을 덮도록 형성되고, 상기 제 2 헤일로 영역은 상기 제 4 고농도 불순물 영역의

아래에서 상기 제 3 고농도 불순물 영역의 하부 측방을 덮도록 형성된다. 바람직하게는, 상기 제 1 및 제 2 헤일로 이온 주입 공정은 각각 P형 및 N형의 불순물을 사용하여 실시된다.

<28> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<29> 도 8 내지 도 14는 본 발명에 따른 모오스 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 공정단면도들이다.

<30> 도 8을 참조하면, 제 1 영역 및 제 2 영역을 구비하는 반도체기판(100)을 준비한다. 상기 제 1 영역 및 제 2 영역은 서로 다른 도전형의 트랜지스터들이 형성되는 영역으로, 예를 들어 상기 제 1 영역에 NMOSFET이 형성된다면, 상기 제 2 영역에는 PMOSFET이 형성된다.

<31> 이후, 상기 반도체기판(100)의 소정영역에 활성영역을 한정하는 소자분리막(105)을 형성한다. 상기 소자분리막(105)은 트렌치(trench) 기술 또는 로코스(LOCOS) 기술을 사용하여 형성될 수 있다. 또한, 상기 소자분리막(105)을 형성하기 전 또는 후에, 웰 영역(well region)의 형성을 위한 이온 주입 공정이 더 실시될 수도 있다. 이때에도, 상기 제 1 영역 및 제 2 영역에는 서로 다른 종류의 불순물이 주입되는 것이 바람직하다.

- <32>      상기 소자분리막(105)이 형성된 반도체기판 상에, 복수개의 게이트 패턴들(117)을 형성한다. 상기 게이트 패턴들(117)은 상기 활성영역 및 상기 소자분리막(105)을 가로지르면서 배치되며, 바람직하게는 차례로 적층된 게이트 절연막 패턴(110) 및 게이트 도전막 패턴(115)으로 이루어진다.
- <33>      상기 게이트 패턴(117)을 형성하는 단계는 상기 소자분리막(105)이 형성된 반도체기판의 전면에 게이트 절연막 및 게이트 도전막을 차례로 형성한 후, 이를 패터닝하는 단계를 포함한다. 상기 패터닝 단계는 상기 게이트 패턴들(117)이 상기 제 1 영역 및/또는 제 2 영역의 상부를 가로지르도록 실시한다. 상기 게이트 절연막을 형성하는 단계는 상기 활성영역을 열산화시키는 단계를 포함하는 것이 바람직하다. 또한, 상기 게이트 도전막은 다결정 실리콘, 실리사이드, 금속, 도전성 질화물, 도전성 산화물 중에서 선택된 적어도 한가지 물질로 형성한다. 또한, 상기 패터닝 전에, 상기 게이트 도전막의 상부에 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질을 더 형성할 수도 있다.
- <34>      상기 게이트 패턴(117)이 형성된 반도체기판 상에, 제 1 절연막(120)을 형성한다. 상기 제 1 절연막(120)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 중의 한가지일 수 있다. 본 발명의 바람직한 일 실시예에 따르면, 상기 제 1 절연막(120)은 열산화 공정(thermal oxidation) 또는 화학기상증착 공정(chemical vapor deposition)을 사용하여 형성된 실리콘 산화막이다.
- <35>      도 9를 참조하면, 상기 제 1 절연막(120)이 형성된 반도체기판의 전면에 제 2 절연막을 형성한다. 이후, 상기 제 1 절연막(120)의 상부면이 노출될 때까지, 상기 제 2 절연막을 이방성 식각한다. 이에 따라, 상기 게이트 패턴들(117)의 양측벽에는 게이트 스페이서(130)가 형성된다.



- <36>       상기 제 2 절연막, 즉 상기 게이트 스페이서(130)는 상기 제 1 절연막(120)에 대해 식각 선택성을 갖는 물질로 형성한다. 이러한 실시예에 따르면, 상기 이방성 식각 공정 동안 상기 활성영역 또는 상기 게이트 패턴(117)에 식각 손상이 발생할 가능성은 최소화될 수 있다. 이에 더하여, 상기 제 2 절연막은 상기 게이트 패턴(117) 및 포토레지스트막에 대해서도 식각 선택성을 갖는 물질로 형성하는 것이 바람직하다. 본 발명의 일 실시예에 따르면, 상기 제 2 절연막은 실리콘 질화막, 실리콘 산화막, 실리콘 산화질화막, 실리콘 카바이드 및 실리콘막 중에서 선택된 적어도 한가지일 수 있다.
- <37>       도 10을 참조하면, 상기 게이트 스페이서(130)를 포함하는 반도체기판 상에, 상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 1 마스크(140)를 형성한다. 상기 제 1 마스크(140)는 통상적인 사진 공정을 사용하여 형성된 포토레지스트막인 것이 바람직하다. 이에 따르면, 상기 제 1 영역에서는 상기 게이트 스페이서(130) 및 상기 제 1 절연막(120)이 노출된다. 또한, 본 발명의 다른 실시예에 따르면, 상기 게이트 스페이서(130)를 형성하는 동안, 상기 제 1 절연막(120)이 식각되어 상기 게이트 패턴(115)이 노출될 수도 있다.
- <38>       상기 제 1 마스크(140), 상기 게이트 패턴(117) 및 상기 게이트 스페이서(130)를 이온 주입 마스크로 사용하는 제 1 고농도 이온 주입 공정(a first high-concentration implantation, 141)을 실시한다. 그 결과, 상기 제 1 영역에는, 상기 게이트 패턴(117) 양쪽의 반도체기판(100)에 배치되는 제 1 깊이의 제 1 고농도 불순물 영역들(a first heavily doped region, 145)이 형성된다. 상기 제 1 고농도 불순물 영역들(145)은 대략 상기 게이트 패턴(117) 및 그 양측벽의 상기 게이트 스페이서들(130)의 폭만큼 서로 이격된다. 상기 게이트 패턴(117) 양쪽에 각각 형성된 상기 제 1 고농도 불순물 영역들(145)은 NMOSFET 또는 PMOSFET의



소오스/드레인 영역으로 사용된다. 본 발명의 바람직한 일 실시예에 따르면, 상기 제 1 고농도 이온 주입 공정(141)은 N형의 불순물을 사용한다.

<39> 도 11을 참조하면, 상기 제 1 고농도 불순물 영역(145)을 형성한 후, 상기 제 1 영역에 노출된 상기 게이트 스페이서(130)를 제거한다. 상기 게이트 스페이서(130)를 제거하는 단계는 상기 제 1 마스크(140) 및 상기 제 1 절연막(120)에 대해 식각 선택성을 갖는 식각 레서피를 사용하는, 등방성 식각 공정인 것이 바람직하다. 이에 더하여, 상기 식각 레서피는 상기 게이트 패턴(117)에 대해서도 식각 선택성을 갖는 것이 바람직하다.

<40> 상기 게이트 스페이서(130)가 제거된 반도체기판에 대해, 제 1 저농도 이온 주입 공정(a first low-concentration implantation, 151)을 실시한다. 본 발명의 일 실시예에 따르면, 상기 제 1 저농도 이온 주입 공정(151)은 상기 제 1 고농도 이온 주입 공정(141)에서 사용된 상기 제 1 마스크(140) 및 상기 제 1 영역의 게이트 패턴(117)을 다시 이온 주입 마스크로 사용한다.

<41> 이에 따라, 상기 제 1 영역에는, 대략 상기 게이트 패턴(117)의 폭만큼 이격되면서, 상기 게이트 패턴(117) 양쪽의 반도체기판(100)에 배치되는 제 1 저농도 불순물 영역(a first lightly doped region, 155)이 형성된다. 상기 제 1 저농도 이온 주입 공정(151)에서 사용되는 불순물 이온은 상기 제 1 고농도 이온 주입 공정(141)에서 사용된 불순물과 같은 도전형이다. 즉, 본 발명의 바람직한 일 실시예에 따르면, 상기 제 1 저농도 이온 주입 공정(151)은 N형의 불순물을 사용한다. 또한, 상기 제 1 저농도 이온 주입 공정(151)은 상기 제 1 고농도 이온 주입 공정(141)보다 낮은 도즈 및 낮은 에너지로 실시된다. 이에 따라, 상기 제 1 저농도 불순물 영역(155)은 상기 제 1 고농도 불순물 영역(145)보다 얇은 제 2 깊이로 형성된다.

- <42> 한편, 상기 게이트 스페이서(130)가 제거된 반도체기판에 대해, 제 1 헤일로 이온 주입 공정(a first HALO implantation, 152)을 실시할 수도 있다. 상기 제 1 헤일로 이온 주입 공정(152)은 상기 제 1 저농도 이온 주입 공정(151) 전 또는 후에 실시할 수 있다. 상기 제 1 저농도 이온 주입 공정(151)과 마찬가지로, 상기 제 1 헤일로 이온 주입 공정(152)은 상기 제 1 마스크(140) 및 상기 제 1 영역의 게이트 패턴(117)을 이온 주입 마스크로 사용한다. 한편, 상기 제 1 헤일로 이온 주입 공정(152)은 상기 제 1 저농도 이온 주입 공정(151)보다 높은 이온 에너지로 실시한다. 이에 따라, 상기 제 1 영역에는, 상기 제 1 저농도 불순물 영역(155)의 아래에 배치되어, 상기 제 1 고농도 불순물 영역(145)의 하부 측면을 덮는 제 1 헤일로 영역(157)이 형성된다. 상기 제 1 헤일로 이온 주입 공정(152)은 상기 제 1 고/저농도 이온 주입 공정(141, 151)과는 다른 도전형의 불순물을 사용한다. 즉, 본 발명의 바람직한 실시예에 따르면, 상기 제 1 헤일로 이온 주입 공정(152)은 P형 불순물을 사용하여 실시한다.
- <43> 상기 제 1 고농도, 제 1 저농도 및 제 1 헤일로 이온 주입 공정(141, 151, 152)은 각각 상기 반도체기판(100)에 대해 경사지게 불순물을 주입하는, 경사 이온 주입 기술을 사용하여 형성할 수 있다. 이때의 경사각은 대략 1 내지 50도일 수 있다.
- <44> 도 12를 참조하면, 상기 제 1 마스크(140)를 제거한다. 상기 제 1 마스크(140)를 제거하는 단계는 상기 제 1 절연막(120) 및 상기 게이트 스페이서(130)에 대한 손상을 최소화할 수 있는 방법으로 실시한다.
- <45> 이후, 상기 제 2 영역을 노출시키면서, 상기 제 1 영역을 덮는 제 2 마스크(160)를 형성한다. 이에 따라, 상기 제 2 영역에서는 상기 게이트 스페이서(130) 및 상기 제 1 절연막(120)이 노출된다. 상기 제 1 마스크(140)와 마찬가지로, 상기 제 2 마스크(160) 역시 통상적인 사진 공정을 사용하여 형성된 포토레지스트막인 것이 바람직하다.

- <46>       상기 제 2 마스크(160), 상기 제 2 영역의 게이트 패턴(117) 및 게이트 스페이서(130)를 이온 주입 마스크로 사용하는 제 2 고농도 이온 주입 공정(a second high-concentration implantation, 161)을 실시한다. 그 결과, 상기 제 2 영역에는, 상기 게이트 패턴(117) 양쪽의 반도체기판(100)에 배치되는 제 3 깊이의 제 2 고농도 불순물 영역들(a second heavily doped region, 165)이 형성된다. 상기 제 2 고농도 불순물 영역들(165)은 대략 상기 게이트 패턴(117) 및 그 양측벽의 상기 게이트 스페이서들(130)의 폭만큼 서로 이격된다. 본 발명의 바람직한 일 실시예에 따르면, 상기 제 2 고농도 이온 주입 공정(161)은 P형 불순물을 사용한다.
- <47>       도 13을 참조하면, 상기 제 2 고농도 불순물 영역(165)을 형성한 후, 상기 제 2 영역에 노출된 상기 게이트 스페이서(130)를 제거한다. 상기 게이트 스페이서(130)를 제거하는 단계는 상기 제 2 마스크(160) 및 상기 제 1 절연막(120)에 대해 식각 선택성을 갖는 식각 레서피를 사용하는, 등방성 식각 공정인 것이 바람직하다. 이에 더하여, 상기 식각 레서피는 상기 게이트 패턴(117)에 대해서도 식각 선택성을 갖는 것이 바람직하다.
- <48>       상기 게이트 스페이서(130)가 제거된 반도체기판에 대해, 제 2 저농도 이온 주입 공정(a second low-concentration implantation, 171)을 실시한다. 본 발명의 일 실시예에 따르면, 상기 제 2 저농도 이온 주입 공정(171)은 상기 제 2 고농도 이온 주입 공정(161)에서 사용된 상기 제 2 마스크(160) 및 상기 제 2 영역의 게이트 패턴(117)을 다시 이온 주입 마스크로 사용한다.
- <49>       이에 따라, 상기 제 2 영역에는, 대략 상기 게이트 패턴(117)의 폭만큼 이격되면서, 상기 게이트 패턴(117) 양쪽의 반도체기판(100)에 배치되는 제 2 저농도 불순물 영역(a second lightly doped region, 175)이 형성된다. 상기 제 2 저농도 이온 주입 공정(171)에서 사용되는 불순물 이온은 상기 제 2 고농도 이온 주입 공정(161)에서 사용된 불순물과 같은 도전형이다.

즉, 본 발명의 바람직한 일 실시예에 따르면, 상기 제 2 저농도 이온 주입 공정(171)은 P형의 불순물을 사용한다. 또한, 상기 제 2 저농도 이온 주입 공정(171)은 상기 제 2 고농도 이온 주입 공정(161)보다 낮은 도즈 및 낮은 에너지로 실시된다. 이에 따라, 상기 제 2 저농도 불순물 영역(175)은 상기 제 2 고농도 불순물 영역(165)보다 얇은 제 4 깊이로 형성된다.

<50> 한편, 상기 게이트 스페이서(130)가 제거된 반도체기판에 대해, 제 2 헤일로 이온 주입 공정(a second HALO implantation, 172)을 실시할 수도 있다. 상기 제 2 헤일로 이온 주입 공정(172)은 상기 제 2 저농도 이온 주입 공정(171) 전 또는 후에 실시할 수 있다. 상기 제 2 저농도 이온 주입 공정(171)과 마찬가지로, 상기 제 2 헤일로 이온 주입 공정(172)은 상기 제 2 마스크(160) 및 상기 제 2 영역의 게이트 패턴(117)을 이온 주입 마스크로 사용한다. 한편, 상기 제 2 헤일로 이온 주입 공정(172)은 상기 제 2 저농도 이온 주입 공정(171)보다 높은 이온 에너지로 실시한다. 이에 따라, 상기 제 2 영역에는, 상기 제 2 저농도 불순물 영역(175)의 아래에 배치되어, 상기 제 2 고농도 불순물 영역(165)의 하부 측면을 덮는 제 2 헤일로 영역(177)이 형성된다. 상기 제 2 헤일로 이온 주입 공정(177)은 상기 제 2 고/저농도 이온 주입 공정(161, 171)과는 다른 도전형의 불순물을 사용한다. 즉, 본 발명의 바람직한 실시예에 따르면, 상기 제 2 헤일로 이온 주입 공정(177)은 N형 불순물을 사용하여 실시한다.

<51> 상기 제 2 고농도, 제 2 저농도 및 제 2 헤일로 이온 주입 공정(161, 171, 172)은 각각 상기 반도체기판(100)에 대해 경사지게 불순물을 주입하는, 경사 이온 주입 기술을 사용하여 형성할 수 있다. 이때의 경사각 역시 대략 1 내지 50도일 수 있다.

<52> 도 14를 참조하면, 상기 제 2 마스크(160)를 제거한다. 상기 제 2 마스크(160)를 제거하는 단계는 상기 제 1 절연막(140) 및 상기 게이트 패턴(117)에 대해 식각 선택성을 갖는 식각 레서피를 사용하는 것이 바람직하다.

- <53> 이에 따라, 도시한 것처럼, 제 1 영역 및 제 2 영역에는 LDD 구조 및 HALO 구조를 갖되, 도전형이 서로 다른 MOSFET들이 형성된다.
- <54> 본 발명의 다른 실시예에 따르면, 도 13에서 설명한 상기 제 2 저농도 이온주입공정(171)을 대신하여, 제 3 이온주입 공정(171')을 실시한다(도 15 참조). 상기 제 3 이온주입공정(171')은 사용되는 불순물의 도전형 및 마스크 등에서, 상기 제 2 저농도 이온주입공정(171)과 동일하다. 또한, 상기 제 3 이온주입공정(171')은 상기 제 2 고농도 이온주입공정(161)과 동일한 도즈 조건으로 실시되는 것이 바람직한데, 유사한 도즈 조건으로 실시될 수도 있다. 예를 들면, 상기 제 3 이온 주입 공정(171')은 상기 제 2 고농도 이온주입 공정(161)의 도즈 조건에 비해 10 내지 100%로 실시될 수도 있다. 또한, 상기 제 3 이온 주입공정(171')은 상기 제 2 고농도 이온 주입 공정(161)보다 낮은 이온 에너지 조건으로 실시하는 것이 바람직하다. 그 결과, 상술한 것처럼, 상기 불순물 영역(175')은 상기 제 2 고농도 불순물 영역(165)보다 얇게 형성되며, 동일 농도의 불순물을 포함한다.
- <55> 본 발명의 또다른 실시예에 따르면, 상기 제 1 영역에서, 상기 제 1 저농도 이온 주입공정(151)을 또다른 이온주입공정으로 대체한다. 이 실시예는 상기 제 2 저농도 이온 주입공정(171)과 상기 제 3 이온주입공정(171') 사이의 관계와 유사하게 대응되므로, 상세한 설명은 생략한다.

#### 【발명의 효과】

- <56> 본 발명에 따르면, 한개의 마스크 패턴을 사용하여 고농도 불순물 영역 및 저농도 불순물 영역을 모두 형성한다. 이에 따라, LDD 구조의 CMOSFET을 제조하는데 필요한 마스크 패턴의 수는 단지 두개로 충분하다. 그 결과, 반도체 장치를 제조하는 공정 단계를 줄일 수 있다. 또한, 본 발명에 따라 형성되는 MOSFET은 LDD 구조를 갖기 때문에, 쇼트 채널 효과에 따른 반도체

체 장치의 특성 악화를 최소화할 수 있다. 이에 더하여, 추가적의 마스크의 제작없이 헤일로 영역을 형성할 수 있어, 펀치 쓰루 현상을 최소화할 수 있다. 결과적으로 본 발명의 방법에 따르면, 저렴한 비용으로 우수한 반도체 장치를 제조할 수 있다.



【특허청구범위】

【청구항 1】

제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 상기 제 1 및 제 2 영역을 지나는 복수개의 게이트 패턴들을 형성하는 단계;

상기 게이트 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계;

상기 제 1 영역의 반도체기판에 제 1 도전형의 제 1 불순물 영역을 형성하는 단계;

상기 제 1 영역에서 노출되는 상기 게이트 스페이서를 제거하는 단계;

상기 제 1 영역의 반도체기판에, 상기 제 1 불순물 영역보다 얇은 깊이이면서 상기 제 1 불순물 영역과 같은 도전형의 제 2 불순물 영역을 형성하는 단계;

상기 제 2 영역의 반도체기판에 제 2 도전형의 제 3 불순물 영역을 형성하는 단계;

상기 제 2 영역에서 노출되는 상기 게이트 스페이서를 제거하는 단계; 및

상기 제 2 영역의 반도체기판에, 상기 제 3 불순물 영역보다 얇은 깊이이면서 상기 제 3 불순물 영역과 같은 도전형의 제 4 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 불순물 영역은 상기 제 2 불순물 영역보다 높은 농도의 불순물을 포함하고, 상기 제 3 불순물 영역은 상기 제 4 불순물 영역보다 높은 농도의 불순물을 포함하는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 제 1 불순물 영역은 상기 제 2 불순물 영역보다 높은 농도의 불순물을 포함하고,  
상기 제 4 불순물 영역은 상기 제 3 불순물 영역과 같은 농도의 불순물을 포함하는 것을 특징  
으로 하는 CMOSFET의 제조 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 제 1 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성되고,

상기 제 2 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 1  
영역의 반도체기판에 형성되고,

상기 제 3 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성되고,

상기 제 4 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 2  
영역의 반도체기판에 형성되는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 게이트 스페이서는 실리콘 질화물, 실리콘 산화질화물, 실리콘 산화막, 실리콘 탄  
화물 및 실리콘막 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 CMOSFET  
의 제조 방법.



**【청구항 6】**

제 1 항에 있어서,

상기 제 1 영역 및 제 2 영역에서 상기 게이트 스페이서를 제거하는 단계는 등방성 식각의 방법으로 실시하는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 7】**

제 1 항에 있어서,

상기 제 3 불순물 영역을 형성하기 전에, 제 1 헤일로 이온 주입 공정을 실시하여 제 1 헤일로 영역을 형성하는 단계를 더 포함하되,

상기 제 1 헤일로 영역은 상기 제 2 불순물 영역의 아래에서 상기 제 1 불순물 영역의 하부 측방을 덮도록 형성하는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 8】**

제 1 항에 있어서,

상기 제 4 불순물 영역을 형성한 후, 제 2 헤일로 이온 주입 공정을 실시하여 제 2 헤일로 영역을 형성하는 단계를 더 포함하되,

상기 제 2 헤일로 영역은 상기 제 4 불순물 영역의 아래에서 상기 제 3 불순물 영역의 하부 측방을 덮도록 형성되는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 9】**

제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 상기 제 1 및 제 2 영역을 지나는 복수개의 게이트 패턴들을 형성하는 단계;

상기 게이트 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계;

상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 1 마스크를 형성하는 단계;

상기 제 1 영역의 반도체기판에 제 1 도전형의 제 1 고농도 불순물 영역을 형성하는 단계;

상기 제 1 영역에서 노출되는 상기 게이트 스페이서를 제거하는 단계;

상기 제 1 영역의 반도체기판에 상기 제 1 도전형의 제 1 저농도 불순물 영역을 형성하는 단계;

상기 제 1 마스크를 제거하는 단계;

상기 제 2 영역을 노출시키면서 상기 제 2 영역을 덮는 제 2 마스크를 형성하는 단계;

상기 제 2 영역의 반도체기판에 제 2 도전형의 제 2 고농도 불순물 영역을 형성하는 단계;

상기 제 2 영역에서 노출되는 상기 게이트 스페이서를 제거하는 단계;

상기 제 2 영역의 반도체기판에 상기 제 2 도전형의 제 2 저농도 불순물 영역을 형성하는 단계; 및

상기 제 2 마스크를 제거하는 단계를 포함하는 것을 특징으로 하는 CMOSFET의 제조 방법.

#### 【청구항 10】

제 9 항에 있어서,

상기 제 1 도전형은 N형인 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 11】

제 9 항에 있어서,

상기 제 2 도전형은 P형인 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 12】

제 9 항에 있어서,

상기 제 1 고농도 불순물 영역을 형성하는 단계는 상기 제 1 마스크 및 상기 제 1 영역의 게이트 패턴 및 게이트 스페이서를 이온 주입 마스크로 사용하는 이온 주입 공정을 포함하고,

상기 제 1 저농도 불순물 영역을 형성하는 단계는 상기 제 1 마스크 및 상기 제 1 영역의 게이트 패턴을 이온 주입 마스크로 사용하는 이온 주입 공정을 포함하는 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 13】

제 9 항에 있어서,

상기 제 2 고농도 불순물 영역을 형성하는 단계는 상기 제 2 마스크 및 상기 제 2 영역의 게이트 패턴 및 게이트 스페이서를 이온 주입 마스크로 사용하는 이온 주입 공정을 포함하고,

상기 제 2 저농도 불순물 영역을 형성하는 단계는 상기 제 2 마스크 및 상기 제 2 영역의 게이트 패턴을 이온 주입 마스크로 사용하는 이온 주입 공정을 포함하는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 14】**

제 9 항에 있어서,

상기 제 1 저농도 불순물 영역은 상기 제 1 고농도 불순물 영역보다 얇은 깊이로 형성하고,

상기 제 2 저농도 불순물 영역은 상기 제 2 고농도 불순물 영역보다 얇은 깊이로 형성하는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 15】**

제 9 항에 있어서,

상기 게이트 스페이서는 실리콘 질화물, 실리콘 산화질화물, 실리콘 산화막, 실리콘 탄화물 및 실리콘막 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 16】**

제 9 항에 있어서,

상기 제 1 및 제 2 마스크는 사진 공정을 통해 형성된 포토레지스트 패턴들인 것을 특징으로 하는 CMOSFET의 제조 방법

**【청구항 17】**

제 9 항에 있어서,

상기 제 1 마스크를 제거하기 전에, 제 1 헤일로 이온 주입 공정을 실시하여 제 1 헤일로 영역을 형성하는 단계를 더 포함하되,

상기 제 1 헤일로 이온 주입 공정은 상기 제 1 마스크 및 상기 제 1 영역의 게이트 패턴을 이온 주입 마스크로 사용하고,

상기 제 1 헤일로 영역은 상기 제 1 저농도 불순물 영역의 아래에서 상기 제 1 고농도 불순물 영역의 하부 측방을 덮도록 형성되는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 18】

제 17 항에 있어서,

상기 제 1 헤일로 이온 주입 공정은 상기 제 2 도전형의 불순물을 사용하는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 19】

제 9 항에 있어서,

상기 제 2 마스크를 제거하기 전에, 제 2 헤일로 이온 주입 공정을 실시하여 제 2 헤일로 영역을 형성하는 단계를 더 포함하되,

상기 제 2 헤일로 이온 주입 공정은 상기 제 2 마스크 및 상기 제 2 영역의 게이트 패턴을 이온 주입 마스크로 사용하고,

상기 제 2 헤일로 영역은 상기 제 2 저농도 불순물 영역의 아래에서 상기 제 2 고농도 불순물 영역의 하부 측방을 덮도록 형성되는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 20】

제 19 항에 있어서,

상기 제 2 헤일로 이온 주입 공정은 상기 제 1 도전형의 불순물을 사용하는 것을 특징으로 하는 CMOSFET의 제조 방법.



【청구항 21】

제 1 영역 및 제 2 영역을 포함하는 반도체기판 상에, 상기 제 1 및 제 2 영역을 지나는 복수개의 게이트 패턴들을 형성하는 단계;

상기 게이트 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계;

상기 제 1 영역을 노출시키면서 상기 제 2 영역을 덮는 제 1 마스크를 형성하는 단계;

상기 제 1 영역의 반도체기판에 제 1 도전형의 제 1 고농도 불순물 영역을 형성하는 단계;

상기 제 1 영역에서 노출되는 상기 게이트 스페이서를 제거하는 단계;

상기 제 1 영역의 반도체기판에 상기 제 1 도전형의 제 2 저농도 불순물 영역을 형성하는 단계;

상기 제 1 마스크를 제거하는 단계;

상기 제 2 영역을 노출시키면서 상기 제 1 영역을 덮는 제 2 마스크를 형성하는 단계;

상기 제 2 영역의 반도체기판에 제 2 도전형의 제 3 고농도 불순물 영역을 형성하는 단계;

상기 제 2 영역에서 노출되는 상기 게이트 스페이서를 제거하는 단계;

상기 제 2 영역의 반도체기판에 상기 제 2 도전형의 제 4 고농도 불순물 영역을 형성하는 단계; 및

상기 제 2 마스크를 제거하는 단계를 포함하는 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 22】

제 21 항에 있어서,

상기 제 1 도전형은 N형인 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 23】

제 21 항에 있어서,

상기 제 2 도전형은 P형인 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 24】

제 21 항에 있어서,

상기 제 1 고농도 불순물 영역 및 상기 제 3 고농도 불순물 영역은 각각 상기 제 2 저농도 불순물 영역 및 상기 제 4 고농도 불순물 영역보다 깊게 형성하는 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 25】

제 21 항에 있어서,

상기 제 3 고농도 불순물 영역과 상기 제 4 고농도 불순물 영역의 불순물 농도는 동일한 것을 특징으로 하는 CMOSFET의 제조 방법.

## 【청구항 26】

제 21 항에 있어서,

상기 제 1 고농도 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성되고,

상기 제 2 저농도 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 1 영역의 반도체기판에 형성되고,

상기 제 3 고농도 불순물 영역은 상기 게이트 패턴 및 상기 게이트 스페이서를 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성되고,

상기 제 4 고농도 불순물 영역은 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 제 2 영역의 반도체기판에 형성되는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 27】

제 21 항에 있어서,

상기 제 3 고농도 불순물 영역을 형성하기 전에, 제 1 헤일로 이온 주입 공정을 실시하여 제 1 헤일로 영역을 형성하는 단계를 더 포함하되,

상기 제 1 헤일로 이온 주입 공정은 상기 제 1 영역의 게이트 패턴을 이온 주입 마스크로 사용하고,

상기 제 1 헤일로 영역은 상기 제 2 저농도 불순물 영역의 아래에서 상기 제 1 고농도 불순물 영역의 하부 측방을 덮도록 형성하는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 28】

제 27 항에 있어서,

상기 제 1 헤일로 이온 주입 공정은 P형의 불순물을 사용하는 것을 특징으로 하는 CMOSFET의 제조 방법.

【청구항 29】

제 21 항에 있어서,





상기 제 4 고농도 불순물 영역을 형성한 후, 제 2 헤일로 이온 주입 공정을 실시하여 제 2 헤일로 영역을 형성하는 단계를 더 포함하되,

상기 제 2 헤일로 이온 주입 공정은 상기 제 2 영역의 게이트 패턴을 이온 주입 마스크로 사용하고,

상기 제 2 헤일로 영역은 상기 제 4 고농도 불순물 영역의 아래에서 상기 제 3 고농도 불순물 영역의 하부 측방을 덮도록 형성되는 것을 특징으로 하는 CMOSFET의 제조 방법.

**【청구항 30】**

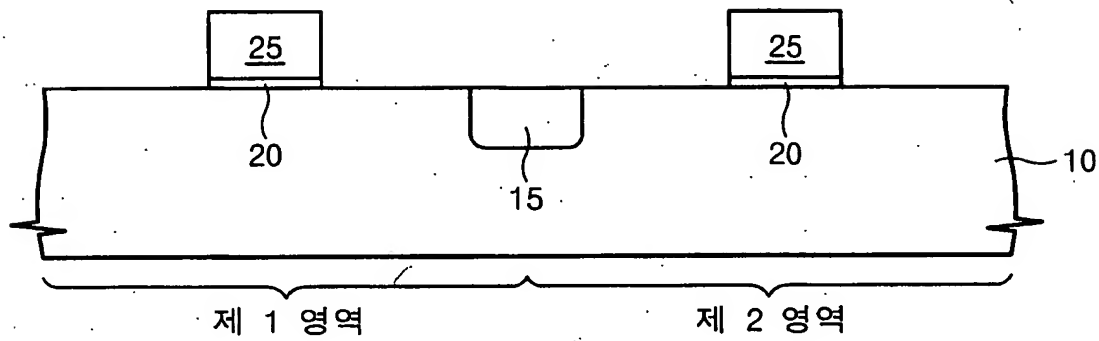
제 29 항에 있어서,

상기 제 2 헤일로 이온 주입 공정은 N형의 불순물을 사용하는 것을 특징으로 하는 CMOSFET의 제조 방법.

【도면】

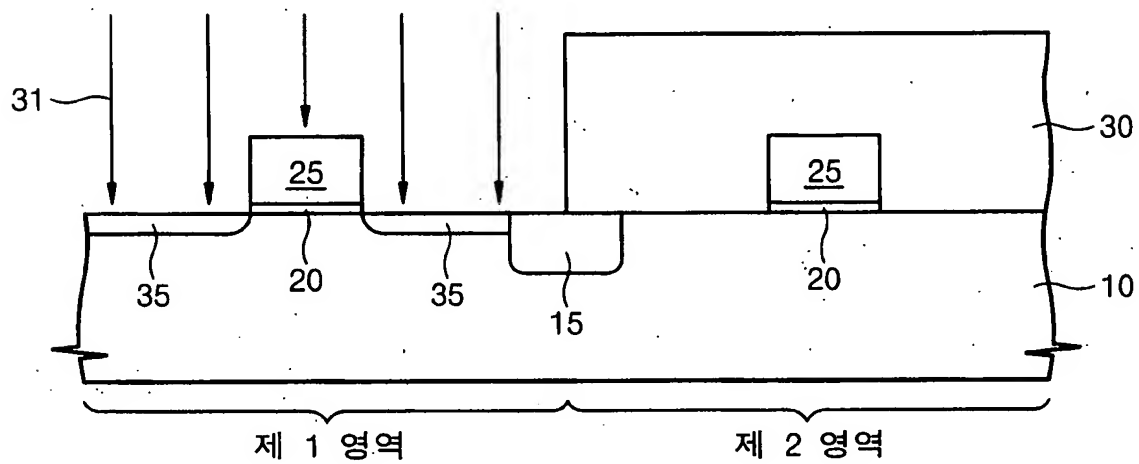
【도 1】

(종래 기술)



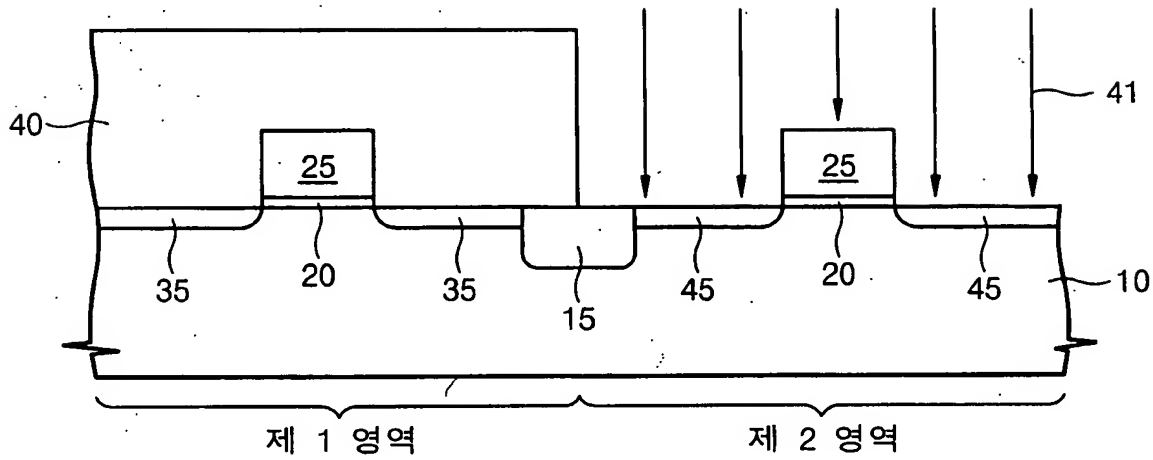
【도 2】

(종래 기술)



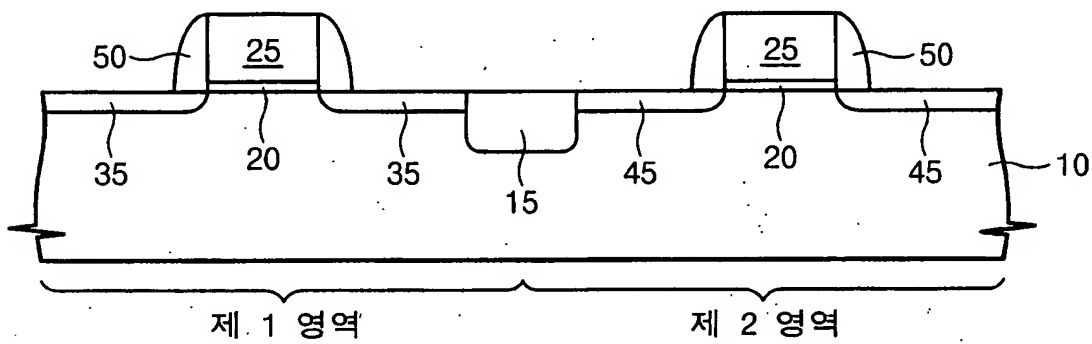
【도 3】

(종래 기술)



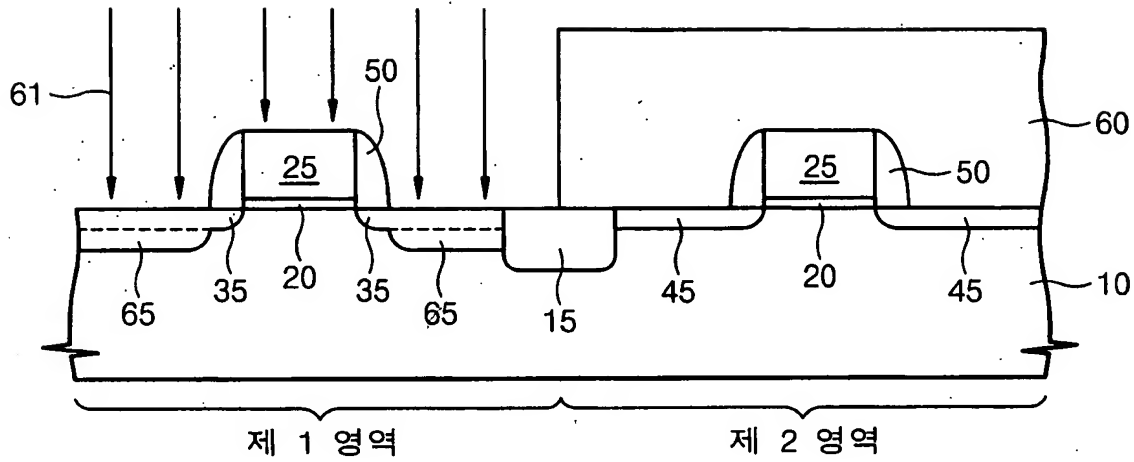
【도 4】

(종래 기술)



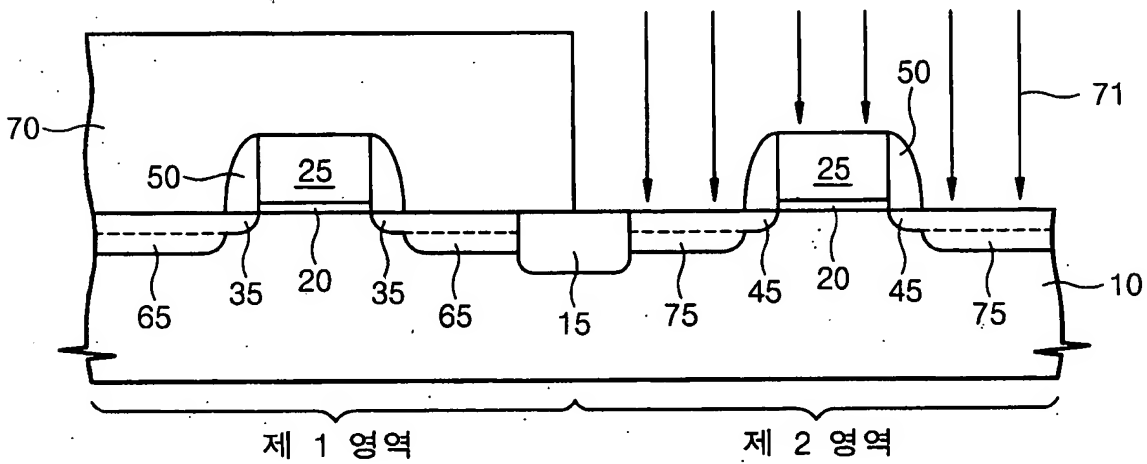
【도 5】

(종래 기술)



【도 6】

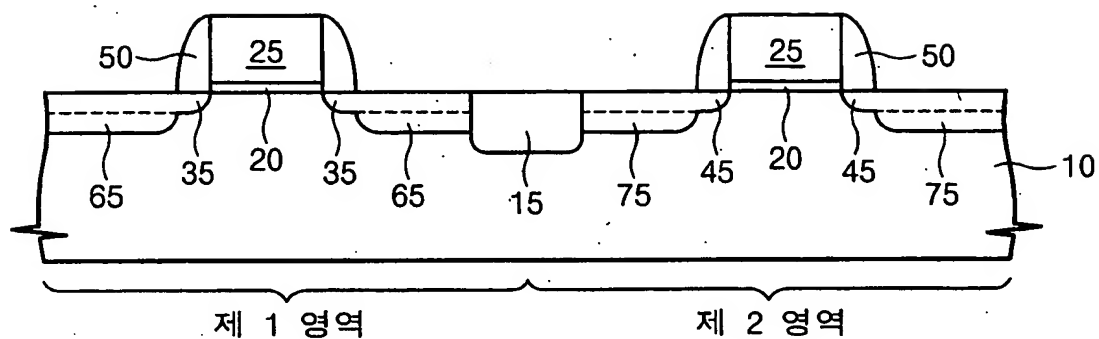
(종래 기술)



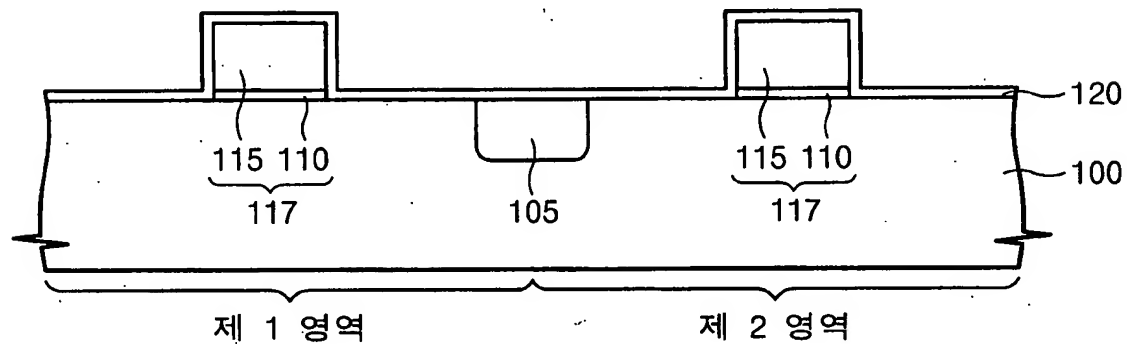


【도 7】

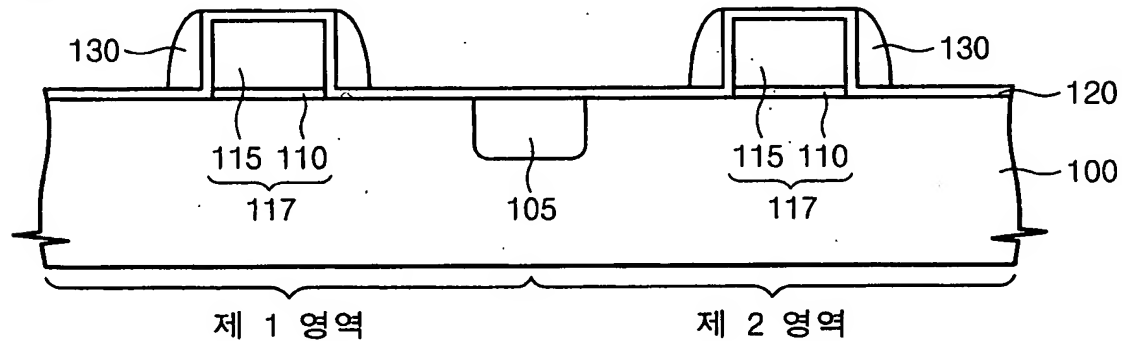
(종래 기술)



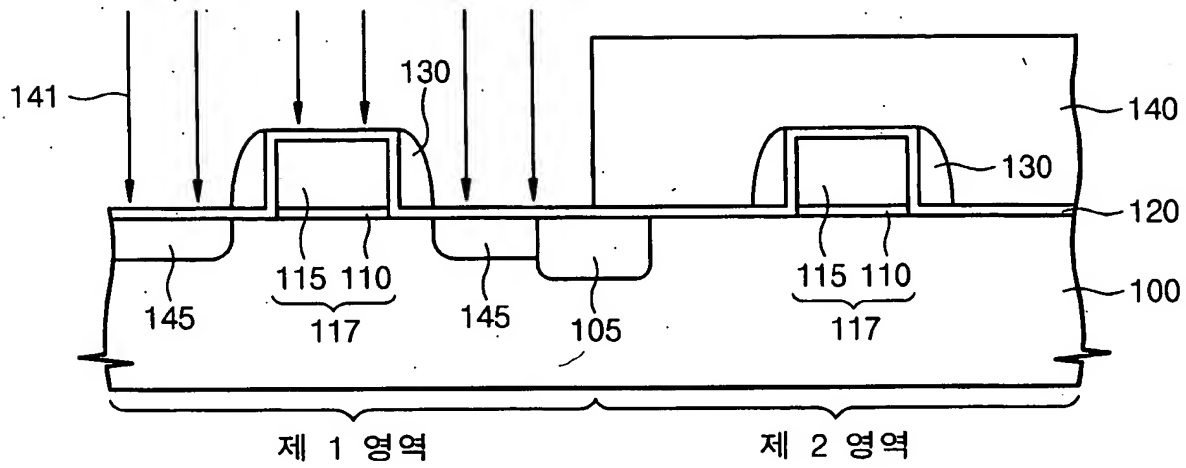
【도 8】



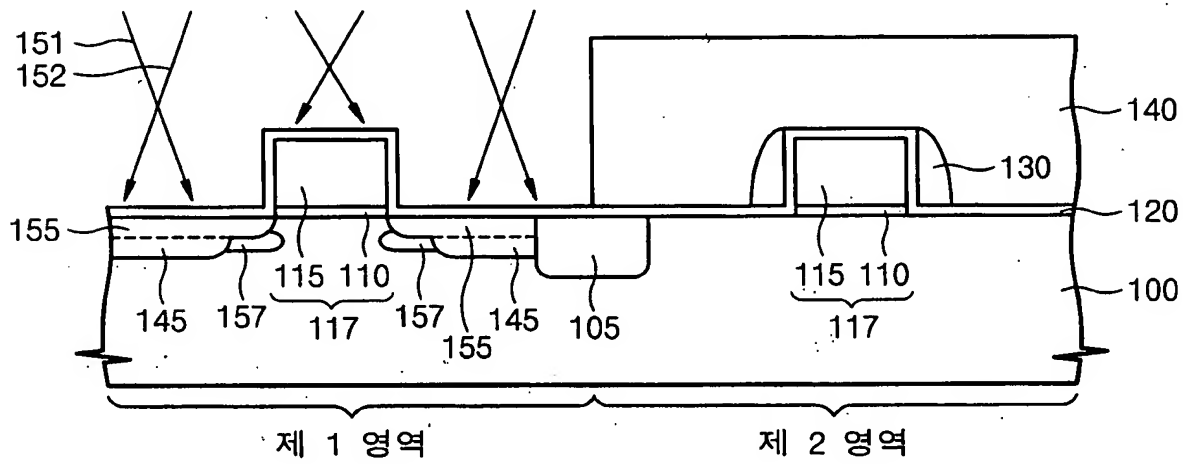
【도 9】



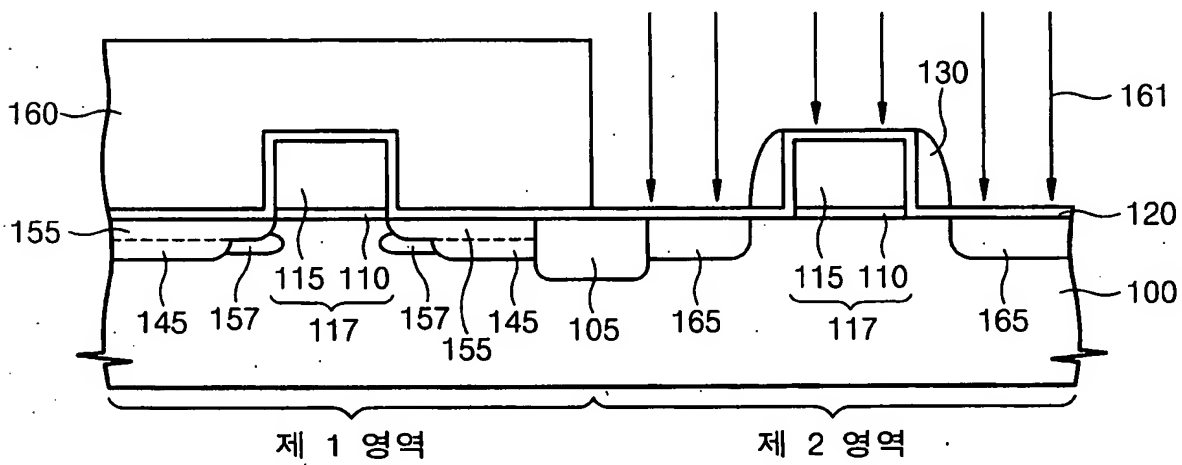
【도 10】



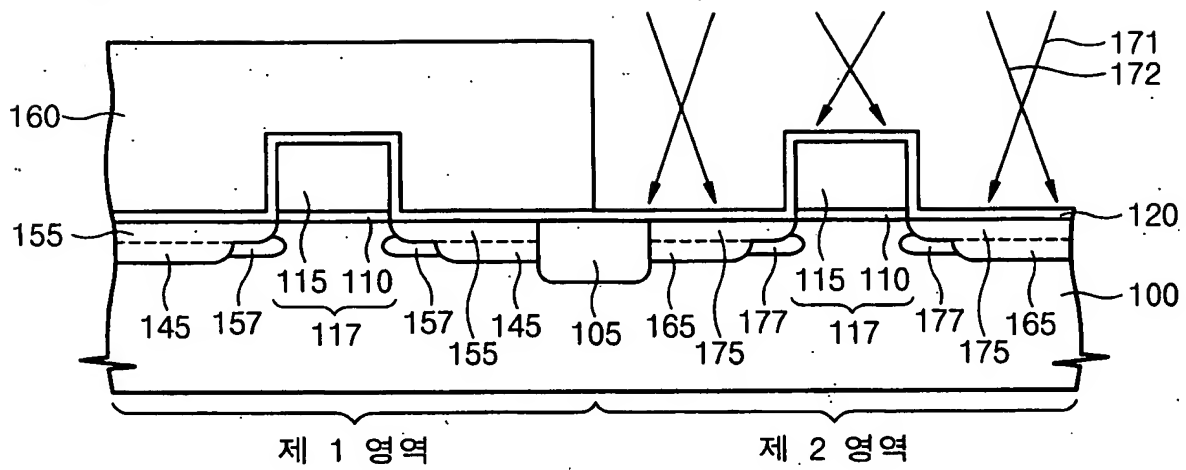
【도 11】



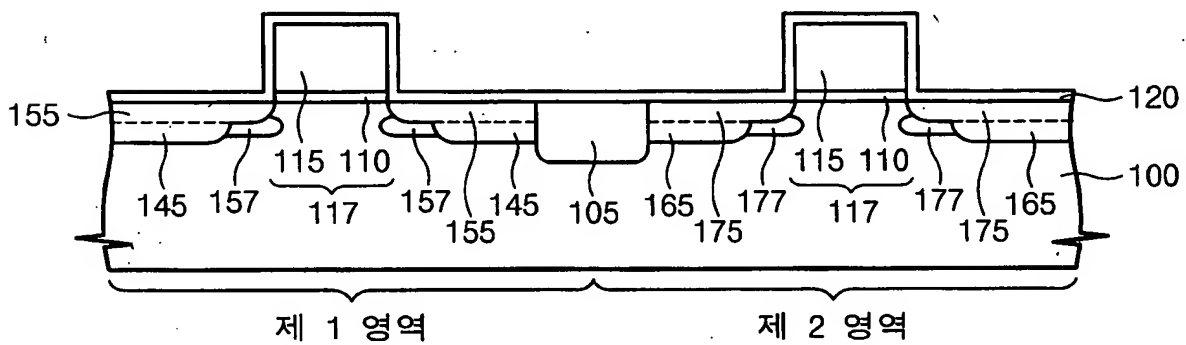
【도 12】



【도 13】



【도 14】



【도 15】

